

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2002-268585

(43)Date of publication of application : 20.09.2002

(51)Int.Cl.

G09F 9/30
G02F 1/1345
G02F 1/1368
G09F 9/00
H01L 29/786
H01L 21/336

(21)Application number : 2001-064576

(71)Applicant : MATSUSHITA ELECTRIC IND CO LTD

(22)Date of filing : 08.03.2001

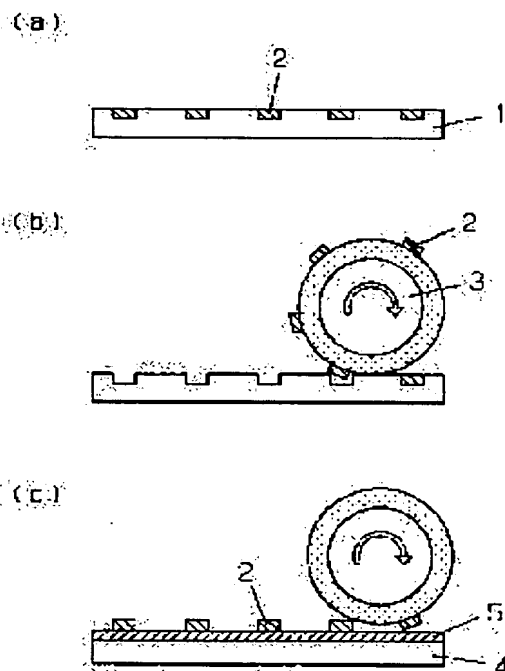
(72)Inventor : GOTO SHINJI
INOUE MAYUMI
NISHITANI MIKHIKO

(54) ACTIVE MATRIX SUBSTRATE AND METHOD FOR MANUFACTURING THE SAME

(57)Abstract:

PROBLEM TO BE SOLVED: To provide an active matrix substrate and a method for manufacturing the substrate by which the number of manufacturing processes can be reduced without deteriorating the characteristics of the active matrix substrate to be used for a liquid crystal display device or the like.

SOLUTION: The number of high-cost photolithographic processes can be reduced by forming patterns by a printing method instead of a part of the photolithographic processes so that the manufacturing cost is reduced. The opening process in the terminals of gate electrodes is carried out by using gray tone exposure techniques or mask film forming techniques to reduce the number of processes. Thus, the active matrix substrate can be manufactured with two to four times of the photolithographic processes.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

BEST AVAILABLE COPY

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

BEST AVAILABLE COPY

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号
特開2002-268585
(P2002-268585A)

(43) 公開日 平成14年9月20日 (2002.9.20)

(51) Int.Cl. ⁷	識別記号	F I	テーマコード (参考)
G 0 9 F 9/30	3 3 8 3 3 0 3 4 8	G 0 9 F 9/30	3 3 8 2 H 0 9 2 3 3 0 Z 5 C 0 9 4 3 4 8 A 5 F 1 1 0
G 0 2 F 1/1345 1/1368		G 0 2 F 1/1345 1/1368	5 G 4 3 5

審査請求 未請求 請求項の数19 O L (全 11 頁) 最終頁に続く

(21) 出願番号 特願2001-64576 (P2001-64576)

(22) 出願日 平成13年3月8日 (2001.3.8)

(71) 出願人 000005821

松下電器産業株式会社

大阪府門真市大字門真1006番地

(72) 発明者 後藤 真志

大阪府門真市大字門真1006番地 松下電器
産業株式会社内

(72) 発明者 井上 真弓

大阪府門真市大字門真1006番地 松下電器
産業株式会社内

(74) 代理人 100097445

弁理士 岩橋 文雄 (外 2 名)

最終頁に続く

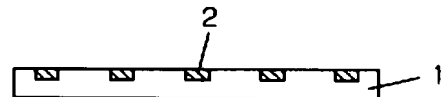
(54) 【発明の名称】 アクティブマトリクス基板およびその製造方法

(57) 【要約】

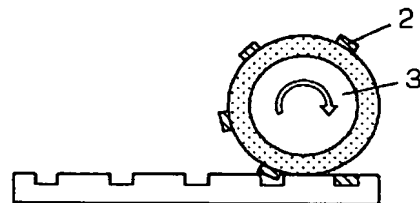
【課題】 液晶表示装置等に用いられるアクティブマトリクス基板の特性を劣化させることなく製造工程を削減することが可能となるアクティブマトリクス基板およびその製造方法を提供する。

【解決手段】 一部のフォトリソグラフィ工程の代わりに、印刷法によってパターンを形成することによってコストの高いフォトリソグラフィ工程の回数を削減し、製造コストの削減をする。また、ゲート電極の端子部分の開口に、グレイトーン露光技術もしくはマスク成膜技術を用いて、工程数を削減する。これにより、2回から4回のフォトリソグラフィ工程でアクティブマトリクス基板の製造が可能となる。

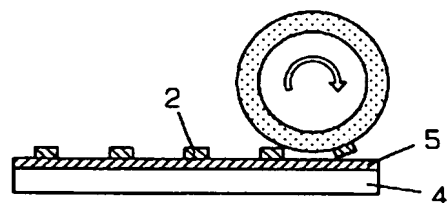
(a)



(b)



(c)



【特許請求の範囲】

【請求項1】 絶縁表面を有する基板上に、走査線を兼ねたゲート電極とゲート絶縁膜と半導体膜と信号線を兼ねたソース電極と透光性導電膜からなる画素電極に接続されたドレイン電極を具備する薄膜トランジスタがマトリクス状に配置されてなるアクティブマトリクス基板において、前記信号線を兼ねたソース電極が前記透光性導電膜と他の金属膜との積層膜からなり、前記画素電極上の一部と、ゲート電極の外部接続端子部上と、ソース電極の外部接続端子部上が少なくとも開口された有機絶縁膜からなる保護膜が、その表面に形成されていることを特徴とするアクティブマトリクス基板。

【請求項2】 絶縁表面を有する基板上に、走査線を兼ねたゲート電極とゲート絶縁膜と半導体膜と信号線を兼ねたソース電極と画素電極に接続されたドレイン電極を具備する薄膜トランジスタがマトリクス状に配置されてなるアクティブマトリクス基板において、前記信号線を兼ねたソース電極が前記透光性導電膜と他の金属膜との積層膜からなり、前記画素電極上の一部と、ゲート電極の外部接続端子部上と、ソース電極の外部接続端子部上

10

20

が少なくとも開口された概ね同一形状を有した窒化シリコン膜と有機絶縁膜の積層膜からなる保護膜が、その表面に形成されていることを特徴とするアクティブマトリクス基板。

【請求項3】 絶縁表面を有する基板上に、ゲート電極を形成する工程と、島化された半導体膜を形成する工程と、ソース電極およびドレイン電極を形成する工程と、画素電極を形成する工程と、画素電極上の一部とゲート電極の外部接続端子部上とソース電極の外部接続端子部上

30

40

が少なくとも開口された保護膜を形成する工程がフォトリソグラフィ工程を具備することを特徴とするアクティブマトリクス基板の製造方法。

【請求項4】 絶縁表面を有する基板上に、ゲート電極を形成する工程と、島化された半導体膜を形成する工程と、ソース電極およびドレイン電極を形成する工程と、画素電極を形成する工程と、画素電極上の一部とゲート電極の外部接続端子部上とソース電極の外部接続端子部上

50

が少なくとも開口された保護膜を形成する工程は、前記画素電極が形成された基板上に印刷法により前記保護膜となる有機絶縁膜のパターンを転写する工程であり、前記島化された半導体膜を形成する工程と、前記ソース電極およびドレイン電極を形成する工程と、前記画素電極を形成する工程はフォトリソグラフィ工程を具備することを特徴とするアクティブマトリクス基板の製造方法。

【請求項5】 絶縁表面を有する基板上に、ゲート電極を形成する工程と、島化された半導体膜を形成する工程と、ソース電極およびドレイン電極を形成する工程と、画素電極を形成する工程と、画素電極上の一部とゲート電極の外部接続端子部上とソース電極の外部接続端子部上

が少なくとも開口された保護膜を形成する工程を具備したアクティブマトリクス基板の製造方法において、前記画素電極上の一部とゲート電極の外部接続端子部上とソース電極の外部接続端子部上が少なくとも開口された保護膜を形成する工程は、前記画素電極が形成された基板上に窒化シリコン膜を形成する工程と前記窒化シリコン膜上に印刷法により有機絶縁膜のパターンを転写する工程と前記有機絶縁膜のパターンをマスクとして窒化シリコン膜をエッチングする工程を具備し、前記島化された半導体膜を形成する工程と、前記ソース電極およびドレイン電極を形成する工程と、前記画素電極を形成する工程はフォトリソグラフィ工程を具備することを特徴とするアクティブマトリクス基板の製造方法。

【請求項6】 前記ゲート電極を形成する工程が、ゲート電極となる導電膜を形成する工程と前記導電膜上に印刷法によってレジストパターンを転写する工程と前記レジストパターンをマスクとして前記導電膜をエッチングする工程を具備することを特徴とする請求項4または請求項5に記載のアクティブマトリクス基板の製造方法。

【請求項7】 前記島化された半導体膜を形成する工程が、少なくともゲート絶縁膜と半導体膜からなる積層膜を形成する工程と、前記積層膜上に2つの膜厚を有するレジストパターンを形成する工程と、前記レジストパターンをマスクとしたエッチングにより前記半導体膜の島化とゲート電極の外部接続端子部の露出を同時に行うことを特徴とする請求項3から請求項6のいずれかに記載のアクティブマトリクス基板の製造方法。

【請求項8】 前記島化された半導体膜を形成する工程が、基板上に形成されたゲート電極の外部接続端子部に相当する部分を遮蔽物で被覆した状態で、少なくともゲート絶縁膜と半導体膜からなる積層膜を形成する工程と、前記積層膜上にレジストパターンを形成する工程と、前記レジストパターンをマスクとしたエッチングにより前記半導体膜の島化とゲート電極の外部接続端子部の露出を同時に行うことを特徴とする請求項3から請求項6のいずれかに記載のアクティブマトリクス基板の製造方法。

【請求項9】 絶縁表面を有する基板上に、走査線を兼ねたゲート電極とゲート絶縁膜と半導体膜と信号線を兼ねたソース電極と透光性導電膜からなる画素電極に接続されたドレイン電極を具備する薄膜トランジスタがマトリクス状に配置されてなるアクティブマトリクス基板において、前記走査線を兼ねたゲート電極とゲート絶縁膜と半導体膜が概ね同一の形状を有し、前記信号線を兼ねたソース電極が前記透光性導電膜と他の金属膜との積層膜からなり、前記画素電極上の一部と、ゲート電極の外部接続端子部上と、ソース電極の外部接続端子部上が少なくとも開口された有機絶縁膜からなる保護膜が、その表面に形成されていることを特徴とするアクティブマトリクス基板。

【請求項10】 絶縁表面を有する基板上に、走査線を兼ねたゲート電極とゲート絶縁膜と半導体膜と信号線を兼ねたソース電極と画素電極に接続されたドレイン電極を具備する薄膜トランジスタがマトリクス状に配置されてなるアクティブマトリクス基板において、前記走査線を兼ねたゲート電極とゲート絶縁膜と半導体膜が概ね同一の形状を有し、前記信号線を兼ねたソース電極が前記透光性導電膜と他の金属膜との積層膜からなり、前記画素電極上の一部と、ゲート電極の外部接続端子部上と、ソース電極の外部接続端子部上が少なくとも開口された概ね同一形状を有した窒化シリコン膜と有機絶縁膜の積層膜からなる保護膜が、その表面に形成されていることを特徴とするアクティブマトリクス基板。

【請求項11】 絶縁表面を有する基板上に積層された少なくともゲート電極膜とゲート絶縁膜と半導体膜からなる積層膜を同一マスクを用いて概ね同一形状にパターンニングする工程と、少なくともゲート電極膜の側面に絶縁膜を形成する工程と、ソース電極およびドレイン電極を形成する工程と、画素電極を形成する工程と、画素電極上の一部とゲート電極の外部接続端子部上とソース電極の外部接続端子部上が少なくとも開口された保護膜を形成する工程を具備したアクティブマトリクス基板の製造方法において、前記少なくともゲート電極膜とゲート絶縁膜と半導体膜からなる積層膜を同一マスクを用いて概ね同一形状にパターンニングする工程が、前記積層膜上に印刷法によってレジストパターンを転写する工程と前記レジストパターンをマスクとして前記積層膜をエッチングする工程を具備し、前記ソース電極およびドレイン電極を形成する工程と、前記画素電極を形成する工程と、前記画素電極上の一部とゲート電極の外部接続端子部上とソース電極の外部接続端子部上が少なくとも開口された保護膜を形成する工程がフォトリソグラフィ工程を具備することを特徴とするアクティブマトリクス基板の製造方法。

【請求項12】 絶縁表面を有する基板上に積層された少なくともゲート電極膜とゲート絶縁膜と半導体膜からなる積層膜を同一マスクを用いて概ね同一形状にパター

ニングする工程と、少なくともゲート電極膜の側面に絶縁膜を形成する工程と、ソース電極およびドレイン電極を形成する工程と、画素電極を形成する工程と、画素電極上の一部とゲート電極の外部接続端子部上とソース電極の外部接続端子部上が少なくとも開口された保護膜を形成する工程を具備したアクティブマトリクス基板の製造方法において、前記画素電極上の一部とゲート電極の外部接続端子部上とソース電極の外部接続端子部上が少なくとも開口された保護膜を形成する工程は、前記画素電極が形成された基板上に印刷法により前記保護膜となる有機絶縁膜のパターンを転写する工程であり、前記ソース電極およびドレイン電極を形成する工程と、前記画素電極を形成する工程がフォトリソグラフィ工程を具備することを特徴とするアクティブマトリクス基板の製造方法。

【請求項13】 絶縁表面を有する基板上に積層された少なくともゲート電極膜とゲート絶縁膜と半導体膜からなる積層膜を同一マスクを用いて概ね同一形状にパターンニングする工程と、少なくともゲート電極膜の側面に絶縁膜を形成する工程と、ソース電極およびドレイン電極を形成する工程と、画素電極を形成する工程と、画素電極上の一部とゲート電極の外部接続端子部上とソース電極の外部接続端子部上が少なくとも開口された保護膜を形成する工程を具備したアクティブマトリクス基板の製造方法において、前記保護膜は概ね同一形状を有した窒化シリコン膜と有機絶縁膜の積層膜からなり、前記画素電極上の一部とゲート電極の外部接続端子部上とソース電極の外部接続端子部上が少なくとも開口された保護膜を形成する工程は、前記画素電極が形成された基板上に窒化シリコン膜を形成する工程と前記窒化シリコン膜上に印刷法により有機絶縁膜のパターンを転写する工程と前記有機絶縁膜のパターンをマスクとして窒化シリコン膜をエッチングする工程を具備し、前記ソース電極およびドレイン電極を形成する工程と、前記画素電極を形成する工程がフォトリソグラフィ工程を具備することを特徴とするアクティブマトリクス基板の製造方法。

【請求項14】 前記少なくともゲート電極膜とゲート絶縁膜と半導体膜からなる積層膜を同一マスクを用いて概ね同一形状にパターンニングする工程が、前記積層膜上に印刷法によってレジストパターンを転写する工程と前記レジストパターンをマスクとして前記積層膜をエッチングする工程を具備することを特徴とする請求項12または請求項13に記載のアクティブマトリクス基板の製造方法。

【請求項15】 前記少なくともゲート電極膜とゲート絶縁膜と半導体膜からなる積層膜を同一マスクを用いて概ね同一形状にパターンニングする工程が、前記積層膜上に2つの膜厚を有するレジストパターンを形成する工程と前記レジストパターンをマスクとしたエッチングにより前記積層膜をゲート電極の形状に加工すると同時にゲ

ート電極の外部接続端子部を露出する工程を具備することを特徴とする請求項12または請求項13に記載のアクティブマトリクス基板の製造方法。

【請求項16】 前記ゲート絶縁膜と半導体膜の積層膜が、基板上に形成されたゲート電極の外部接続端子部に相当する部分を遮蔽物で被覆した状態で形成されることを特徴とする請求項11から請求項14のいずれかに記載のアクティブマトリクス基板の製造方法。

【請求項17】 前記画素電極となる導電膜がITO膜であることを特徴とする請求項1または請求項2または請求項9または請求項10のいずれかに記載のアクティブマトリクス基板。

【請求項18】 請求項1または請求項2または請求項9または請求項10または請求項17のいずれかに記載のアクティブマトリクス基板によって画素が駆動されることを特徴とする液晶表示装置。

【請求項19】 請求項1または請求項2または請求項9または請求項10または請求項17のいずれかに記載のアクティブマトリクス基板によって画素が駆動されることを特徴とするエレクトロルミネッセンス表示装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、液晶表示装置等のアクティブマトリクス型表示装置において用いられる、アクティブマトリクス基板およびその製造方法に関する。

【0002】

【従来の技術】従来より、液晶表示装置等のアクティブマトリクス型表示装置の画素は、薄膜トランジスタ(TFT)によって駆動されている。このTFTがマトリクス状に配置されたアクティブマトリクス基板の製造方法としては、従来より以下のような方法がある。図4はTFTとしてボトムゲート型TFTを用いたアクティブマトリクス基板の製造工程のフロー図である。以下、従来のアクティブマトリクス基板の製造方法を具体的に説明する。

【0003】まず、ゲート電極形成工程として、Ti, Mo, W, Al, Ta, Crおよびこれらの合金の単層膜または積層膜からなる金属膜を300～500nmの膜厚で形成し、フォトリソグラフィ工程によりパターニングされたフォトレジストをマスクとして金属膜をエッチングすることにより、ゲート電極を形成する。次いで、半導体島化工程として、プラズマCVD法によりゲート絶縁膜、活性層、コンタクト層の連続成膜を行う。ゲート絶縁膜としては窒化シリコン膜、活性層としてアモルファスシリコン膜、コンタクト層としてn+シリコン膜を、原料ガスやプラズマ条件を変化させることにより形成している。

【0004】例えば、窒化シリコン膜はSiH₄ガス、NH₃ガス、H₂ガスおよびN₂ガスを原料とし、アモル

ファスシリコン膜はH₂ガスによって10%程度に希釈されたSiH₄ガスを原料とし、n+シリコン膜はアモルファスシリコン膜の原料ガスにPH₃ガスを混合することにより形成することができる。各層の膜厚としては、ゲート絶縁膜が300～500nm、活性層が100～300nm、そしてコンタクト層が20～80nmの膜厚で形成する。次いで、フォトリソグラフィ工程により活性層およびコンタクト層を島状にパターニングする。

【0005】次いで、ソース/ドレイン電極形成工程として、Ti, Mo, W, Al, Ta, Crおよびこれらの合金の単層膜または積層膜からなる金属膜を200～400nmの膜厚で形成し、フォトリソグラフィ工程によりパターニングされたフォトレジストをマスクとして金属膜をエッチングすることにより、ソース/ドレイン電極を形成する。この時、活性層のチャネル領域上のコンタクト層も同時にエッチングを行い、チャネル領域とコンタクト領域の分離を行う。

【0006】次いで、保護膜形成工程として、パッシベーション膜となる窒化シリコン膜等の絶縁膜をプラズマCVD法等により、300～500nmの膜厚で形成し、その後、ソース/ドレイン領域へのコンタクトを取るためにパッシベーション膜を、フォトリソグラフィ工程およびエッチングにより開孔する。

【0007】最後に、画素電極形成工程として、ITO膜等の透明導電膜を形成し、フォトリソおよびエッチングにより、画素電極として加工することにより、アクティブマトリクス基板が完成する。

【0008】このような従来の方法は、成膜工程、フォトリソグラフィ工程、エッチング工程等を1サイクルとするプロセスを5回繰り返す、いわゆる5枚マスクプロセスによりアクティブマトリクス基板が製造されており、製造工程数が多いことが問題となっている。なかでもフォトリソグラフィ工程は、設備コストおよびランニングコストが高いため、アクティブマトリクス基板の製造に必要なマスク枚数を削減し、これにより、フォトリソグラフィ工程の回数を削減することが望まれている。

【0009】これに対して、ゲート電極形成工程と半導体島化工程を1サイクルのプロセスで行うことにより、フォトリソグラフィ工程を削減する方法が、特開平6-250211号公報に記載されている。また、パターン形成に、従来のようなフォトリソグラフィ法ではなく、印刷法を用いることによって、製造コストを削減する方法が特許第2702068号公報に記載されている。

【0010】

【発明が解決しようとする課題】しかしながら、従来の方法には、以下のような課題が残されている。ゲート電極形成工程と半導体島化工程を同時に行う特開平6-250211号公報に記載の方法では、ゲート電極端子上に絶縁膜および半導体膜が残るため、その後、レーザー

加工等のゲート電極端子を露出する工程が新たに必要となるといった課題がある。

【0011】また、フォトリソグラフィ法の代わりに、印刷法を用いた場合では、そのパターン形成における精度が悪くなってしまう。印刷法を用いた場合、特許第2702068号公報に記載されているような、精度の比較的良好な方法を用いたとしても、パターンの寸法精度が $\pm 5 \mu\text{m}$ 程度、位置合わせ精度が $\pm 5 \mu\text{m}$ 程度となり、合せて $\pm 10 \mu\text{m}$ 程度のパターン誤差が発生してしまう。このため、このパターン誤差を考慮にいたしたデバイス設計が必要となり、寄生容量や寄生抵抗が非常に大きくなることから、デバイス特性が劣化するという課題がある。

【0012】本発明は、上記の課題を解決し、デバイス特性を劣化させることなく、フォトマスク枚数をすなわちフォトリソグラフィ工程の回数を削減することが可能となるアクティブマトリクス基板およびそのパターン精度の高い製造方法を提供することを目的とする。

【0013】

【課題を解決するための手段】前記目的を達成するために、本発明に係るアクティブマトリクス基板は、パターンの寸法精度および位置合わせ精度がそれほど要求されない第1工程であるゲート電極の形成工程および最終工程である保護膜の形成工程のパターン形成に印刷法を用いることを特徴としている。これにより、フォトリソグラフィ工程の回数を削減することが可能となるため、製造コストが削減される。また、デバイス特性もほとんど変化させることはない。

【0014】また、他の本発明に係るアクティブマトリクス基板は、グレイトーン露光技術もしくは、端子部をマスクする成膜技術を用いることにより、ゲート電極の端子部を露出させるための新たな工程を必要としないことを特徴としている。これにより、デバイス特性を劣化させることなく製造工程数を削減することが可能となるため、生産性が向上し、製造コストが削減される。

【0015】また、他の本発明に係るアクティブマトリクス基板は、ゲート電極のパターニングと半導体膜の島化を同一マスクを用いて行うことを特徴としている。これにより、フォトリソグラフィ工程の回数を削減することが可能となるため、製造コストが削減される。また、デバイス特性もほとんど変化させることはない。

【0016】また、本発明に係るアクティブマトリクス基板を用いた液晶表示装置によれば、その画素を駆動するアクティブマトリクス基板の製造コストが削減されるため、液晶表示装置を安価に製造することが可能となる。

【0017】また、本発明に係るアクティブマトリクス基板を用いたエレクトロルミネッセンス表示装置によれば、その画素を駆動するアクティブマトリクス基板の製造コストが削減されるため、エレクトロルミネッセンス

表示装置を安価に製造することが可能となる。

【0018】

【発明の実施の形態】以下、実施例を用いて本発明をさらに具体的に説明する。

【0019】本発明におけるアクティブマトリクス基板の製造方法では、一部のパターニング工程において従来のフォトリソグラフィ法の代わりに印刷法を用いている。また、通常の印刷法では、印刷のパターン精度が数 $100 \mu\text{m}$ であるので、本発明においては、特許第2702068号公報等に記載されている精度のよい凹版オフセット印刷法を用いた。この場合の精度は、パターンの寸法精度が $\pm 5 \mu\text{m}$ 、位置合わせの精度が $\pm 5 \mu\text{m}$ から $\pm 10 \mu\text{m}$ 程度である。図1は凹版オフセット印刷の概略図を示している。例えば、レジストパターンの印刷を行う場合には、凹部にレジスト2が入った印刷版1の上を転写体3が回転することによってレジスト2を転写体3に転写し、これを被転写層5として例えば金属膜が形成された基板4上に印刷することによって被転写層5上にレジストパターンが形成される。

【0020】また、本発明におけるアクティブマトリクス基板の製造方法では、一部のフォトリソグラフィ工程において、遮光部と半透光部と透光部を設けたマスクを用いて、レジスト膜を露光することにより、レジスト膜の現像後、表面に凹凸のあるレジストパターンを形成する、いわゆるグレイトーン露光技術を用いている。この露光技術については、特開平7-49411号公報や特開平11-307780号公報に示されている。

【0021】本発明における実施例としては、例えば絶縁膜と半導体膜の積層膜上に上記グレイトーン露光技術を用いて、第1のレジスト領域と、第1のレジスト領域よりも膜厚の薄い第2のレジスト領域が形成された、2つの膜厚を有するレジストパターンを形成する。そして、このレジストパターンをマスクとして、積層膜のエッチングを行う。具体的には1回目のエッチングでレジストパターンのない領域の積層膜をエッチングし、その後レジスト膜厚の薄い第2のレジスト領域をエッチバックもしくはアッシングにより除去し、再び第1のレジスト領域のレジストをマスクとして前記積層膜のうち半導体膜のみをエッチングする。これにより積層膜のパターニングと半導体膜のパターニングを同一マスクで行うことが可能となる。

【0022】また、1回目のエッチングで第2のレジスト領域におけるレジストおよびその下の半導体膜もエッチングされるように第2のレジスト領域のレジスト膜厚を適切に設定しても、同様の結果が得られる。なお、この際、第1のレジスト領域では、レジストが残るように、その厚さを設定すればよい。以上のような方法により、1回のフォトリソグラフィ工程で、複数のパターンを形成することができるため、工程数を削減することができる。

【0023】（実施の形態1）本実施の形態は、アクティブマトリクス基板およびその製造方法の第1実施例に関する。

【0024】本実施の形態におけるアクティブマトリクス基板の製造方法は、以下に示す通りである。図2は本発明の第1実施例に係るアクティブマトリクス基板の製造工程概略図を示している。

【0025】まず、Al合金からなる金属膜を250nmの膜厚で形成し、この上に前述の凹版オフセット印刷法により、レジストパターンを形成する。そして、前記レジストパターンをマスクにエッチングを行うことにより、走査線を兼ねたゲート電極6を形成する（図2

(a)）。本実施の形態では、線幅30μmの線状のゲート電極を250μmの線間隔で形成しており、前述の印刷法におけるパターン精度で十分対応できる。また、1回目のパターニングであるため、基板とのアライメントも問題ない。

【0026】なお、本実施の形態では、走査線を兼ねたゲート電極のパターニングに印刷法を用いたが、これをフォトリソグラフィ法によって行っても良いことは言うまでもない。

【0027】次いで、プラズマCVD法によりゲート絶縁膜7として窒化シリコン膜を300nm、活性層8としてアモルファスシリコン膜を200nm、コンタクト層9としてn+アモルファスシリコン膜を30nmの膜厚で順次形成する。

【0028】例えば、窒化シリコン膜はSiH₄ガス、NH₃ガス、H₂ガスおよびN₂ガスを原料とし、アモルファスシリコン膜はH₂ガスによって10%程度に希釈されたSiH₄ガスを原料とし、n+シリコン膜はアモルファスシリコン膜の原料ガスにPH₃ガスを混合したプラズマCVD法により形成することができる。

【0029】次いで、前述のグレイトーン露光技術を用いたフォトリソグラフィ工程およびエッチングにより活性層およびコンタクト層の島化とゲート電極の外部接続端子の露出をする（図2(b)）。

【0030】具体的には、グレイトーン露光技術により、活性層とコンタクト層からなる半導体膜の島化を行う領域に膜厚の厚い第1のレジスト領域を形成し、ゲート電極の外部接続端子部に相当する部分を除いた他の部分に膜厚の薄い第2のレジスト領域を形成する。そして、第1のエッチングにより、絶縁膜7を開口してレジストのないゲート電極の外部接続端子部の露出を行い、第2のレジスト領域をエッチバックによって除去した後、第1のレジスト領域のレジストをマスクにエッチングをすることによって半導体膜の島化を行った。

【0031】これにより、同一マスクを用いて半導体の島化と同時にゲート電極の外部接続端子部の露出が行えるため、従来のような端子開口のための工程が不要となる。なお、本実施の形態においては、グレイトーン露光

技術を用いることによりゲート電極端子の開口を行ったが、これを、前記ゲート絶縁膜、活性層およびコンタクト層の形成時に、前記ゲート電極の端子部分をアルミナ製の碍子棒等でマスクした状態にしておくことによって、前記端子部分には膜が堆積しないため、後の工程で開口する必要がないため、望ましい。

【0032】次いで、MoW合金からなる金属膜を300nmの膜厚で形成し、フォトリソグラフィ工程によりパターニングされたフォトレジストをマスクとして前記金属膜をエッチングすることにより、信号線を兼ねるソース電極およびドレイン電極となる電極膜10を形成する（図2(c)）。

【0033】次いで、透光性導電膜としてITO膜を形成し、フォトリソグラフィ工程およびエッチングにより、画素電極11として加工する。さらにチャネル領域上の電極膜10およびコンタクト層9を少なくともエッチングすることによりソース電極およびドレイン電極の分離を行う（図2(d)）。このソース電極とドレイン電極の分離を画素電極形成後に行うことは、ITO膜のスパッタおよびエッチング時の影響をチャネル領域に与えることなく画素電極が形成できるため望ましい。

【0034】なお、コンタクト層9はエッチングで取り除く方法の他に、プラズマ酸化や陽極酸化によって絶縁化することによってソース/ドレインの分離を行っても良い。そしてこの場合には、エッチングによってコンタクト層を取り除く場合に比べ、デバイス特性の向上が見込まれるため、望ましい。

【0035】そして、最後に前述の凹版オフセット印刷法により、ポリイミドやアクリル系樹脂といった有機絶縁膜を保護膜として、画素電極とゲート電極およびソース電極の外部接続端子部を除いた領域に印刷することによりアクティブマトリクス基板が完成する（図2(e)）。

【0036】なお、本実施の形態においては、画素電極の大きさは、およそ縦200μm×横80μmであり、各電極の外部接続端子は、基板周辺に配置されているため、±10μmから±15μmの印刷精度で十分対応できる。

【0037】なお、本実施の形態においては、半導体膜である活性層8の露出した部分にも保護膜として有機絶縁膜を直接形成したが、有機絶縁膜を印刷する前に熱酸化、プラズマ酸化、溶液酸化等の方法によって、前記活性層8の露出した部分の表面を絶縁膜化してもよく、これによってデバイスの信頼性は向上するため、望ましい。

【0038】また、同様に有機絶縁膜を印刷する前に、窒化シリコン膜等の絶縁膜を堆積し、有機絶縁膜を印刷した後、印刷された前記有機絶縁膜をマスクとしてエッチングすることによって画素電極とゲート電極およびソース電極の外部接続端子部の窒化シリコン膜を除去して

もよい。これによってデバイスの信頼性はさらに向上するため望ましい。

【0039】なお、本実施の形態では、ゲート電極としてAl合金をソース／ドレイン電極としてMoW合金を用いたが、これらの材料に限ることなく、Ti, Mo, W, Al, Ta, Crおよびこれらの合金の単層膜または積層膜を用いることができる。また、他の導電性膜、半導体膜、絶縁膜も、本実施の形態に示した材料に限らず、これらの機能をみだす膜であればよい。例えば画素電極11の導電膜としてAlなどの金属反射膜を用いれば反射型液晶表示装置に対応できる。また、それらの膜厚に関しても、従来と同程度の範囲に設定すれば良い。

【0040】以上のような方法により、3回もしくは4回のフォトリソグラフィ工程により、アクティブマトリクス基板を製造することが可能となるため、従来と比べ、フォトリソグラフィ工程の回数が削減され、製造コストを削減することができる。

【0041】（実施の形態2）本実施の形態は、アクティブマトリクス基板およびその製造方法の第2実施例に関する。

【0042】本実施の形態におけるアクティブマトリクス基板の製造方法は、以下に示す通りである。図3は本発明の第2実施例に係るアクティブマトリクス基板の製造工程概略図を示している。

【0043】まず、ゲート電極6となるAl合金からなる金属膜を250nmの膜厚で形成し、この上にプラズマCVD法によりゲート絶縁膜7として窒化シリコン膜を300nm、活性層8としてアモルファスシリコン膜を200nm、コンタクト層9としてn+アモルファスシリコン膜を30nmの膜厚で順次堆積し積層膜を形成する。この時、ゲート電極の外部接続端子となる基板周辺の部分の金属膜をアルミナ製のマスク等で被覆した状態でゲート絶縁膜、活性層およびコンタクト層を形成することにより、後にゲート電極の外部接続端子部を開口する工程が不要となるため望ましい。

【0044】なお、窒化シリコン膜はSiH₄ガス、NH₃ガス、H₂ガスおよびN₂ガスを原料とし、アモルファスシリコン膜はH₂ガスによって10%程度に希釈されたSiH₄ガスを原料とし、n+シリコン膜はアモルファスシリコン膜の原料ガスにPH₃ガスを混合したプラズマCVD法により形成することができる。

【0045】次に、この積層膜上に前述の凹版オフセット印刷法により、レジストパターンを形成する。そして、レジストパターンをマスクにエッチングを行うことにより、走査線を兼ねたゲート電極6とゲート絶縁膜7と活性層8とコンタクト層9が概ね同一の形状にパターンニングされる(図3(a))。本実施の形態においては、ゲート電極の外部接続端子部上には絶縁膜および半導体膜は形成されていないため、この時点で、端子部は露出されている。

【0046】本実施の形態では、線幅30μmの線状のゲート電極パターンを250μmの線間隔で形成しており、印刷法におけるパターン精度で十分対応できる。また、1回目のパターンニングであるため、基板とのアライメントも問題ない。

【0047】なお、本実施の形態では、走査線を兼ねたゲート電極、ゲート絶縁膜および半導体膜のパターンニングに印刷法を用いたが、これをフォトリソグラフィ法によって行っても良いことは言うまでもない。またこの時、グレイトーン露光技術を用いることにより、1回のフォトリソグラフィ工程によって、ゲート電極、ゲート絶縁膜および半導体膜のパターンニングとゲート電極の外部接続端子の開口が可能となるため、望ましい。

【0048】次いで、ゲート電極の側面が露出しているため、この側面に絶縁膜13を形成する。本実施の形態においては、ゲート電極の外部接続端子を電流供給端子とした陽極酸化法によってゲート電極の側面を絶縁化した後、さらに有機絶縁膜を全面に塗布し、これを異方性エッチングすることによって、ゲート電極、ゲート絶縁膜、活性層およびコンタクト層の側面に側壁保護膜14を形成する(図3(b))。

【0049】次いで、スパッタ法によってソース／ドレイン電極となるMoW合金からなる金属膜を300nmの膜厚で形成する。

【0050】そして、フォトリソグラフィ工程によりパターンニングされたフォトリソレジストをマスクとして金属膜をエッチングすることにより、信号線を兼ねるソース電極およびドレイン電極となる電極膜10を形成する(図3(c))。

【0051】次いで、透光性導電膜としてITO膜を形成し、フォトリソグラフィ工程およびエッチングにより、画素電極11として加工する。さらにチャネル領域上の電極膜10およびコンタクト層9を少なくともエッチングすることによりソース電極およびドレイン電極の分離を行う(図3(d))。このソース電極とドレイン電極の分離を画素電極形成後に行うことは、ITO膜のスパッタおよびエッチング時の影響をチャネル領域に与えることなく画素電極が形成できるため望ましい。

【0052】なお、コンタクト層9はエッチングで取り除く方法の他に、プラズマ酸化や陽極酸化によって絶縁化することによってソース／ドレインの分離を行っても良い。そしてこの場合には、エッチングによってコンタクト層を取り除く場合に比べ、デバイス特性の向上が見込まれるため、望ましい。

【0053】そして、最後に前述の凹版オフセット印刷法により、ポリイミドやアクリル系樹脂といった有機絶縁膜を保護膜12として、画素電極とゲート電極およびソース電極の外部接続端子部を除いた領域に印刷することによりアクティブマトリクス基板が完成する(図3(e))。

【0054】なお、本実施の形態においては、画素電極の大きさは、およそ縦 $200\mu\text{m}$ ×横 $80\mu\text{m}$ であり、各電極の外部接続端子は、基板周辺に配置されているため、 $\pm 10\mu\text{m}$ から $\pm 15\mu\text{m}$ の印刷精度で十分対応できる。

【0055】なお、本実施の形態においては、半導体膜である活性層8の露出した部分にも保護膜として有機絶縁膜を直接形成したが、有機絶縁膜を印刷する前に熱酸化、プラズマ酸化、溶液酸化等の方法によって、前記活性層8の露出した部分の表面を絶縁膜化してもよく、これによってデバイスの信頼性は向上するため、望ましい。

【0056】また、同様に有機絶縁膜を印刷する前に、窒化シリコン膜等の絶縁膜を堆積し、有機絶縁膜を印刷した後、印刷された前記有機絶縁膜をマスクとしてエッチングすることによって画素電極とゲート電極およびソース電極の外部接続端子部の窒化シリコン膜を除去してもよい。これによってデバイスの信頼性はさらに向上するため望ましい。

【0057】なお、本実施の形態では、ゲート電極としてAl合金をソース／ドレイン電極としてMoW合金を用いたが、これらの材料に限ることなく、Ti、Mo、W、Al、Ta、Crおよびこれらの合金の単層膜または積層膜を用いれば良い。また、他の導電性膜、半導体膜、絶縁膜も、本実施の形態に示した材料に限らず、これらの機能を満たす膜であればよい。また、それらの膜厚に関しても、従来と同程度の範囲に設定すれば良い。

【0058】以上のような方法により、2回もしくは3回のフォトリソグラフィ工程により、アクティブマトリクス基板を製造することが可能となるため、従来と比べ、フォトリソグラフィ工程の回数が削減され、製造コストを削減することができる。

【0059】（実施の形態3）本実施の形態は、本発明の液晶表示装置に関する。

【0060】図5は本発明の第3実施例である液晶表示装置の概略図である。図6は本発明の第3実施例である液晶表示装置の等価回路である。実施の形態1または実施の形態2に記載された方法を用いて、アクティブマトリクス基板を作製した後、この上に配向膜を塗布し、ラビング処理を行った。図5には実施の形態1に記載の方法によってアクティブマトリクス基板を作製した実施例を示している。そして、対向電極17とカラーフィルタ16を形成した対向基板15にも同様に配向膜を塗布し、ラビングによる配向処理を行った。両基板を貼り合わせ、その間に液晶18を注入し、両基板前後に偏光板19を配置する。そして各スイッチングトランジスタを駆動するための駆動回路21を接続することにより液晶表示装置が完成する。

【0061】なお、本実施形態では対向電極17を対向基板15上に形成したが、この対向電極をアクティブマ

トリクス基板側に形成し液晶18を横方向に駆動する構成とすることも可能である。なお、本発明のアクティブマトリクス基板によって液晶表示装置の画素を駆動することにより、液晶表示装置の製造コストを削減することが可能となる。

【0062】（実施の形態4）本実施の形態は、本発明のエレクトロルミネッセンス表示装置に関する。

【0063】図7は本発明の第4実施例であるエレクトロルミネッセンス表示装置の概略図である。図8は本発明の第4実施例であるエレクトロルミネッセンス表示装置の等価回路である。実施の形態1または実施の形態2に記載された方法を用いて、多結晶シリコン膜を活性層としたアクティブマトリクス基板を作製した後、画素電極上に導電性高分子27として例えばポリエチレンジオキシチオフェン（PEDT）と実際に発光するポリジアルキルフルオレン誘導体を形成し、最後にCa陰極29を蒸着してエレクトロルミネッセンス表示装置が完成する。その動作は以下の通りである。まず、スイッチングトランジスタがONするように走査線22にパルス信号を与えたときに信号線23に表示信号を印加すると、駆動用トランジスタ31がON状態となって、電流供給線32から電流が流れ、エレクトロルミネッセンスセル30が発光する。

【0064】本実施の形態では、エレクトロルミネッセンス材料として、ポリジアルキルフルオレン誘導体を用いたが、他の有機材料、例えば他のポリフルオレン系材料やポリフェニルビニレン系の材料、または無機材料でもよい。また、エレクトロルミネッセンス材料の形成方法としては、塗布、蒸着、インクジェットなどの方法を用いればよい。

【0065】なお、本発明のアクティブマトリクス基板によってエレクトロルミネッセンス表示装置の画素を駆動することにより、エレクトロルミネッセンス表示装置の製造コストを削減することが可能となる。

【0066】

【発明の効果】本発明のアクティブマトリクス基板の構成によれば、2回から4回のフォトリソグラフィ工程によってアクティブマトリクス基板が製造されるため、従来に比べ、フォトリソグラフィ工程の回数を削減することが可能となり、アクティブマトリクス基板の製造工程数や製造コストが削減される。このため、本発明の実用上の効果は大きい。

【0067】また、本発明における液晶表示装置によれば、従来に比べ安価に液晶表示装置を製造することが可能となるため、その実用上の効果は大きい。

【0068】また、本発明におけるエレクトロルミネッセンス表示装置によれば、従来に比べ安価にエレクトロルミネッセンス表示装置を製造することが可能となるため、その実用上の効果は大きい。

【図面の簡単な説明】

【図1】凹版オフセット印刷法の概略図

【図2】本発明の第1実施例に係るアクティブマトリクス基板の製造工程概略図

【図3】本発明の第2実施例に係るアクティブマトリクス基板の製造工程概略図

【図4】従来のアクティブマトリクス基板の製造工程フロー図

【図5】本発明の液晶表示装置の概略図

【図6】本発明の液晶表示装置の等価回路を示す図

【図7】本発明のエレクトロルミネッセンス表示装置の概略図

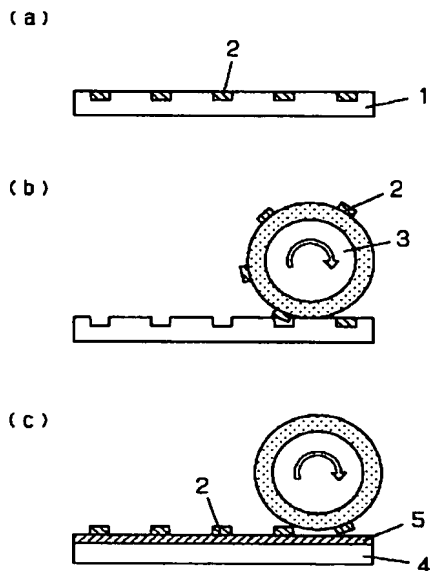
【図8】本発明のエレクトロルミネッセンス表示装置の等価回路を示す図

【符号の説明】

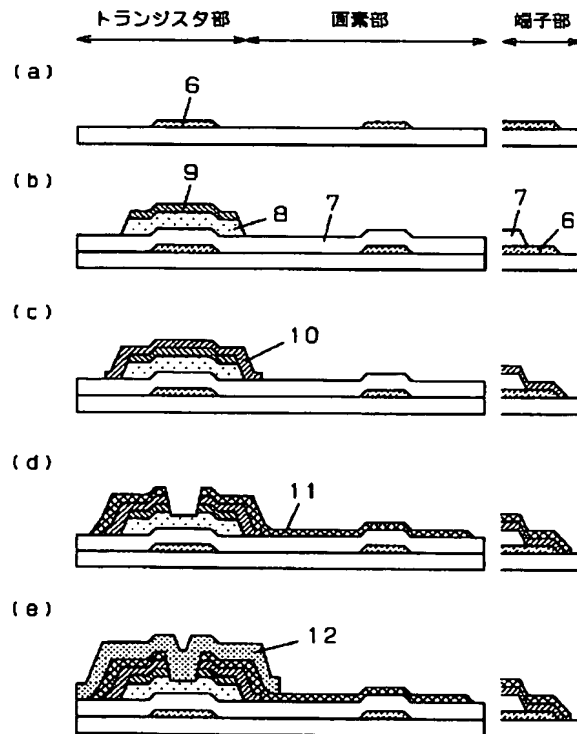
- 1 印刷版
- 2 レジスト
- 3 転写体
- 4 基板
- 5 被転写層
- 6 ゲート電極
- 7 ゲート絶縁膜
- 8 活性層
- 9 コンタクト層

- * 10 電極膜
- 11 画素電極
- 12 保護膜
- 13 陽極酸化膜
- 14 側壁保護膜
- 15 対向基板
- 16 カラーフィルタ
- 17 対向電極
- 18 液晶
- 19 偏光板
- 20 バックライト
- 21 駆動回路
- 22 走査線
- 23 信号線
- 24 スイッチングトランジスタ
- 25 液晶セル
- 26 蓄積容量
- 27 導電性高分子
- 28 ポリフルオレン誘導体
- 29 Ca陰極
- 30 エレクトロルミネッセンスセル
- 31 駆動用トランジスタ
- * 32 電流供給線

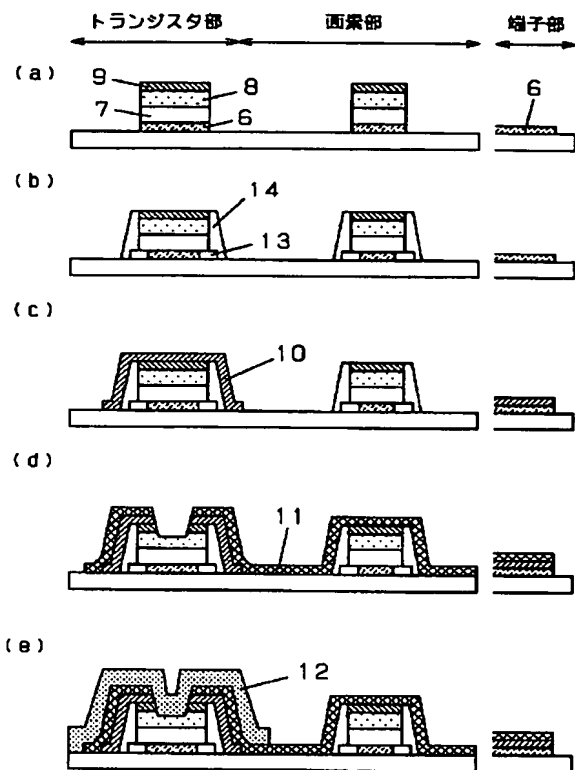
【図1】



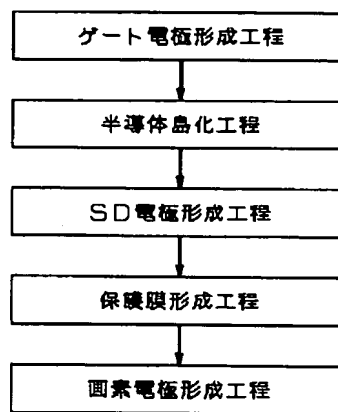
【図2】



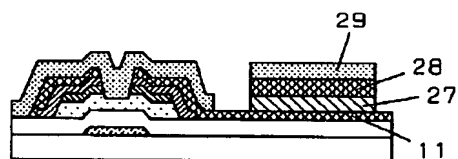
【図3】



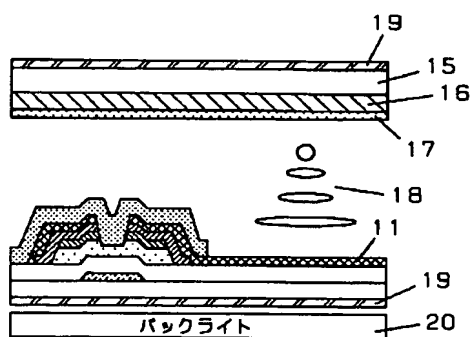
【図4】



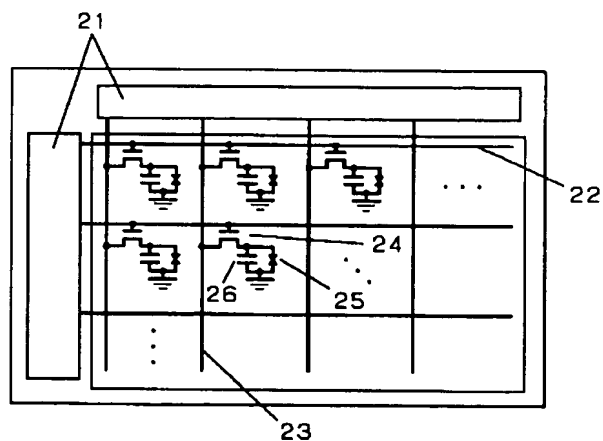
【図7】



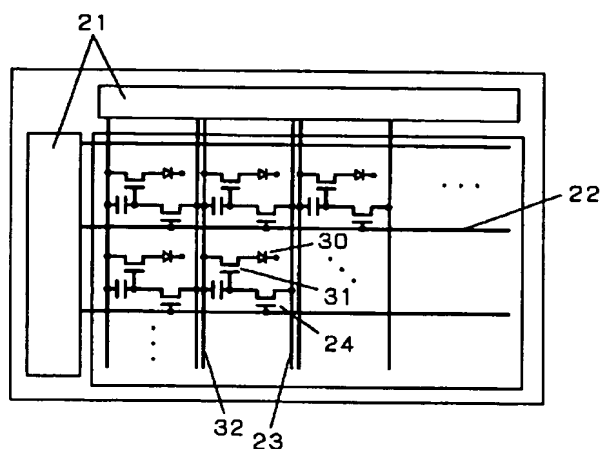
【図5】



【図6】



【図8】



フロントページの続き

(51)Int.Cl. ⁷	識別記号	F I	ターム(参考)
G 0 9 F 9/00	3 3 8	G 0 9 F 9/00	3 3 8
H 0 1 L 29/786		H 0 1 L 29/78	6 1 2 D
21/336			

(72)発明者 西谷 幹彦
大阪府門真市大字門真1006番地 松下電器
産業株式会社内

F ターム(参考) 2H092 GA43 HA18 HA28 JA24 JB24
JB56 MA12 NA27
5C094 AA43 AA45 BA03 BA43 CA19
DA15 EA04 EA07
5F110 AA16 BB01 CC07 EE03 EE04
EE06 EE14 EE34 FF03 FF30
GG02 GG15 GG24 GG45 HK03
HK04 HK06 HK07 HK09 HK16
HK21 HK22 HK33 HK35 NN03
NN23 NN24 NN27 NN33 NN36
NN37 QQ01 QQ06 QQ09
5G435 AA17 BB12 CC09 EE34 KK05
KK09 KK10